

1 Structura unui sistem cu microprocesor Intel 8086

1.1 Circuitele utilizate într-un sistem cu microprocesor Intel 8086. Specificații HARDWARE

Prezentăm unele circuite ce sunt folosite într-un sistem cu microprocesor Intel 8086 (mod minim)(tabelul 1.1).

Tabelul 1.1 Circuitele unui sistem cu microprocesor Intel 8086

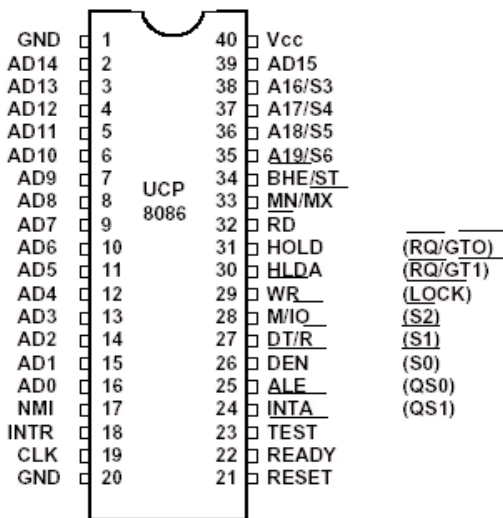
Tipul	Funcția
8086	Circuitul microprocesorului
8284	Circuitul generatorului de ceas
8282/8283	Circuite-buffere - formare magistrala de adrese
8286/8287	Circuite-buffere – formare magistrala de date

Practic semnalele de ieșire a circuitelor integrate necesită buferizare cu ajutorul schemelor exterioare, ce asigură coeficientul de suprasarcină necesară.

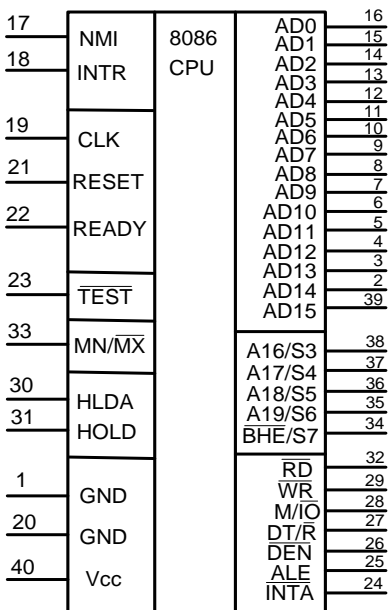
1.2 Circuitul microprocesorului Intel 8086

1.2.1 Definirea pinilor 0

Microprocesorul 8086 are o magistrală de date și adrese **multiplexată în timp** (la începutul ciclului mașină informația prezentă pe magistrala multiplexată reprezintă o adresă, ulterior ea schimbându-se și reprezentând data implicată în transferul efectuat la adresa respectivă) ceea ce permite unui număr de pini să îndeplinească funcții duale și în consecință microprocesorul să poată fi încorporat într-o singură capsulă cu 40 de pini. Deasemenea, așa cum se va arăta ulterior, un număr de pini de control ai microprocesorului sunt definiți diferit în funcție de cum este conectat un singur pin de intrare, pinul 33 (MN/\overline{MX}), la masă sau la Vcc. În figura 1.1 este prezentată asignarea pinilor, denumirile în paranteză corespunzând conectării pinului 33 la masă, iar în tabelul 1.2, funcțiile și tipul semnalelor.



a)



b)

Figura 1.1 a) Circuitul microprocesorului 8086;
b) Reprezentarea grafică a microprocesorului 8086

Tabelul 1.2 Funcțiile și tipul semnalelor microprocesorului 8086

Semnale comune		
Nume	Funcție	Tip
AD15-AD0	Address/Data Bus- Magistrala de adrese/date	Bidirect., 3-state
A19/S6-A16/S3	Address/Status-Adrese/Stare	Ieșire, 3-state
$\overline{\text{BHE}}/\text{S7}$	Byte High Enable/Status-Activare octet superior pe magistrală/Stare	Ieșire, 3-state
$\text{MN}/\overline{\text{MX}}$	Minimum/Maximum Mode Control-Control mod min/max	Intrare
$\overline{\text{RD}}$	Read control-Control citire	Ieșire, 3-state
$\overline{\text{TEST}}$	Wait on Test control-Test așteptare	Intrare
READY	Wait state control-Sincronizare transfer pe magistrala de date	Intrare
RESET	System Reset-Inițializare sistem	Intrare
NMI	Non-Maskable Interrupt request-Cerere întrerupere nemascabilă	Intrare
INTR	Interrupt Request-Cerere întrerupere mascabilă	Intrare
CLK	System Clock-Ceas de sistem	Intrare
Vcc	+5V	Intrare
GND	Ground-Masă	
Semnale pentru modul minim ($\text{MN}/\overline{\text{MX}} = \text{Vcc}$)		
Nume	Funcție	Tip
HOLD	Hold Request-Cerere magistrală	Intrare
HLDA	Hold Acknowledge-Acceptare cerere magistrală	Ieșire
$\overline{\text{WR}}$	Write-Control scriere	Ieșire, 3-state
$\text{M}/\overline{\text{IO}}$	Memory/IO Control-Control selecție memorie/Port de I/E	Ieșire, 3-state
$\text{DT}/\overline{\text{R}}$	Data Transmit/Receive-Control sens transfer date pe magistrală	Ieșire, 3-state
$\overline{\text{DEN}}$	Data Enable-Activare date pe magistrală	Ieșire, 3-state
ALE	Address Latch Enable-Activare adrese pe magistrală	Ieșire

$\overline{\text{INTA}}$	Interrupt Acknowledge-Acceptare cerere de întrerupere	Ieșire
Semnale pentru modul maxim ($\text{MN}/\overline{\text{MX}}=\text{GND}$)		
Nume	Funcție	Tip
$\overline{\text{RQ}}/\overline{\text{GT}}1,0$	Request/Grant Bus Access Control-Cerere/acceptare acces magistrală	Bidirecțional
$\overline{\text{LOCK}}$	Bus priority Lock control-Control acces pe magistrală	Ieșire, 3-state
$\text{S2}-\text{S0}$	Bus Cycle Status-Specificare stare ciclu de magistrală	Ieșire, 3-state
$\text{QS1},\text{QS0}$	Instruction Queue Status-Specificare stare coada de instrucțiuni	Ieșire

Semnificațiile pinilor în *mod minim* sunt următoarele:

-AD15-AD0 – magistrala multiplexată de adrese și date, adrese în starea T1 și date în T2, T3, TW, T4. E necesar ca adresele A15-A0 și datele D15-D0 să fie memorate temporar în registre-buffere pentru a fi citite de dispozitivele externe mai lente;

- A19/S6-A16/S3 – linii de adrese/semnale de stare a microprocesorului în T2-4. În starea T1 pe aceste linii se expun adresele A19-A16.

Semnificația semnalelor de stare:

S6=0 - indica ocuparea magistralelor de către microprocesor;

S5=IF - starea flag-ului de întrerupere (0 - înhibată,1-validată)

S4, S3 - indică registrul segment curent utilizat pentru adresare:

S4	S3	Segment
0	0	ES
0	1	SS
1	0	CS
1	1	DS

- $\overline{\text{BHE}}/\text{S7}$ - semnal ce validează magistrala superioară ("High") de date D15-D8/semnal de stare a microprocesorului, nedefinit.

$\overline{\text{BHE}}$ se setează în starea T1 concomitent cu adresele. Se activează când pe magistrala AD15-AD8 sunt plasați 8 biți de date. Semnalul $\overline{\text{BHE}}$ se memorează în registre-buffere împreună cu adresa și este folosit ca o linie suplimentară de adresă ce validează accesul la blocul (bank) superior de date;

- A0 – validează magistrala inferioară ("Low") de date D7-D0;

Utilizarea acestor semnale $\overline{\text{BHE}}$ și A0 pentru decodificarea adreselor permit transferuri de octeți și cuvinte (doi octeți) pe magistrala AD.

$\overline{\text{BHE}}$	A0	Transfer
0	0	D15-D0
0	1	D15-D8
1	0	D7-D0
1	1	Inhibat

- ALE – validarea adresei (memorarea adresei A19-A0 în registre-buffere), este setat la începutul fiecărui ciclu de magistrală și este destinat demultiplexării magistralei AD;

- $\overline{\text{DEN}}$ (sau $\overline{\text{DE}}$) – validarea datelor (memorarea datelor în registre-buffere);

- $\overline{\text{RD}}$ - semnal ce indică comanda de citire de pe magistrala de date (0 - activ);

- $\overline{\text{WR}}$ - semnal ce indică comanda de scriere pe magistrala de date (0 - activ). Indică dispozitivelor (circuite de memorie, dispozitive periferice) să expună datele pe magistrala de date;

- $\text{M}/\overline{\text{IO}}$ - comanda de selecte memorie/porturi (1-memorie, 0-porturi). Servește pentru partajarea spațiului de memorie de spațiul de Intrare/Ieșire. Valoarea $\text{M}/\overline{\text{IO}}=0$ apare numai la executarea instrucțiunilor IN și OUT;

- $\text{DT}/\overline{\text{R}}$ - comanda sensului transferului datelor pe magistrala AD: $\text{DT}/\overline{\text{R}}=1$ - transmisia datelor din CPU spre RAM sau periferice, $\text{DT}/\overline{\text{R}}=0$ recepția datelor de CPU din RAM sau periferice;

- HOLD - cerere de cedare a magistralelor de la alt subsistem extern (echipament periferic sau controler DMA);

- HLDA - confirmare a acceptării cedării magistralelor de către CPU. Se activează ca confirmare la cererea HOLD după stoparea temporară a activității CPU și trecerea magistralei AD în starea „z”. Când HLDA=1 subsistemul, ce a inițiat cererea, devine „master” pe magistrală. La trecerea HOLD=0, CPU setează HLDA=0 și își continuă activitatea conform programului;
- NMI- cerere de întrerupere nemascabila (1- cerere de întrerupere). Cererea de întrerupere nemascabila este utilizata, de obicei, pentru a semnaliza microprocesorului apariția unui eveniment "catastrofal" ce semnifica existenta unui pericol major pentru buna funcționare a sistemului. Exemple tipice sunt iminenta cădere a tensiunii de alimentare, apariția unei erori de memorie sau a unei erori de paritate pe magistrala;
- INTR - cerere de întrerupere mascabila. La apariția semnalului INTR=1 și IF=1 (IF-indicator de condiție de activare a întreruperii mascabile) microprocesorul termină execuția instrucțiunii curente și procesează cererea de întrerupere. Dacă IF=0, microprocesorul ignoră cererea de întrerupere și continua cu execuția următoarei instrucțiuni;
- INTA – confirmare cerere de întrerupere mascabila;
- READY - semnalarea stării "gata" de transfer a memoriei sau a echipamentului periferic (READY=1- încheierea stării de așteptare TW ("WAIT"));
- $\overline{\text{TEST}}$ - testare (sincronizare), se utilizează împreună cu comanda de așteptare WAIT, executând comanda WAIT microprocesorul controlează nivelul semnalului $\overline{\text{TEST}}$. Dacă $\overline{\text{TEST}}=0$, microprocesorul execută următoarea instrucțiune, iar dacă $\overline{\text{TEST}}=1$, microprocesorul introduce stări de așteptare TI;
- CLK - semnal de tact (ceas) necesar operațiilor interne secvențiale;
- RESET - comanda de resetare a circuitului microprocesorului;
- MN/ $\overline{\text{MX}}$ - selecția modului de funcționare a microprocesorului (MN/ $\overline{\text{MX}}$ =1- mod minim, MN/ $\overline{\text{MX}}$ =0- mod maxim).

Schema structurală a microprocesorului este divizată în două părți logice – unitatea de execuție (EU) și unitatea de interfață cu magistrala (BIU) (vezi culegerea de prelegeri la disciplina „Unitățile centrale ale calculatoarelor”). Pentru a înțelege modul de operare pe magistrala multiplexată în timp, trebuie analizat ciclul de magistrală al BIU. Să observăm că, în esență, un **ciclu de magistrală** este un eveniment asincron care începe prin apariția adresei unui port de I/E sau a unei locații de memorie, urmată fie de un semnal de control de citire (pentru a captura sau "a citi" data de la echipamentul accesat), fie de un semnal de control de scriere împreună cu data asociată (pentru a transmite sau "a scrie" data în echipamentul adresat). La rândul lui, echipamentul selectat - memorie sau port - acceptă data de pe magistrală pe durata ciclului de scriere sau plasează data cerută pe magistrală în timpul ciclului de citire. La terminarea ciclului, echipamentul respectiv memorează data care a fost scrisă (uzual prin intermediul unor circuite de tip *latch* pe intrare), sau îndepărtează de pe magistrală data citită de microprocesor (trecându-și circuitele buffere de ieșire pe magistrală în stare de înaltă impedanță).

Așa cum se arată în figura 1.2, toate ciclurile de magistrală constau din cel puțin patru perioade de ceas(stări) sau *T-states* identificate ca T1, T2, T3 și T4. Microprocesorul plasează pe magistrala adresa locației de memorie sau portului cu care dorește să efectueze un transfer pe durata stării T1. În cazul unui ciclu de scriere, data este plasată pe magistrala de microprocesor din starea T2 până în starea T4. În cazul unui ciclu de citire, microprocesorul acceptă data prezentă pe magistrala pe perioada stărilor T3 și T4, iar magistrala multiplexată de adrese/date este în stare flotantă în T2 pentru a permite microprocesorului să facă trecerea din modul de scriere (ieșirea adreselor) în modul de citire (intrarea datelor).

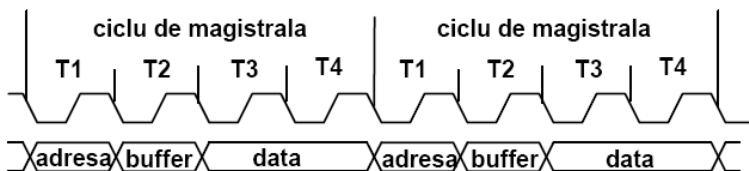
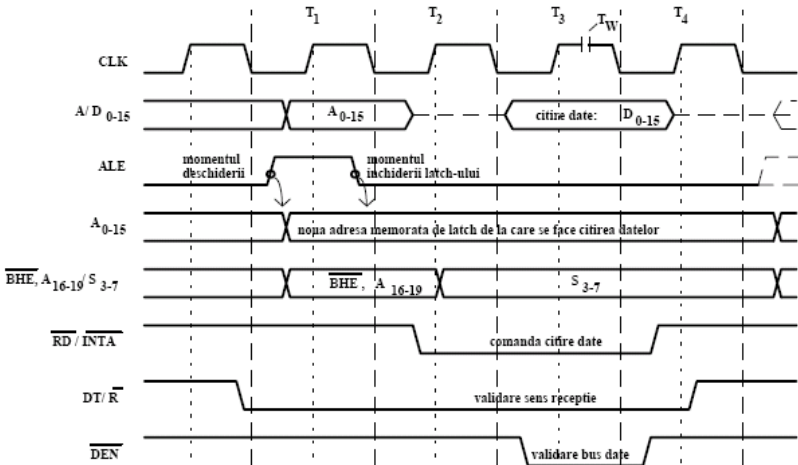


Figura 1.2 - Cicluri tipice de magistrală

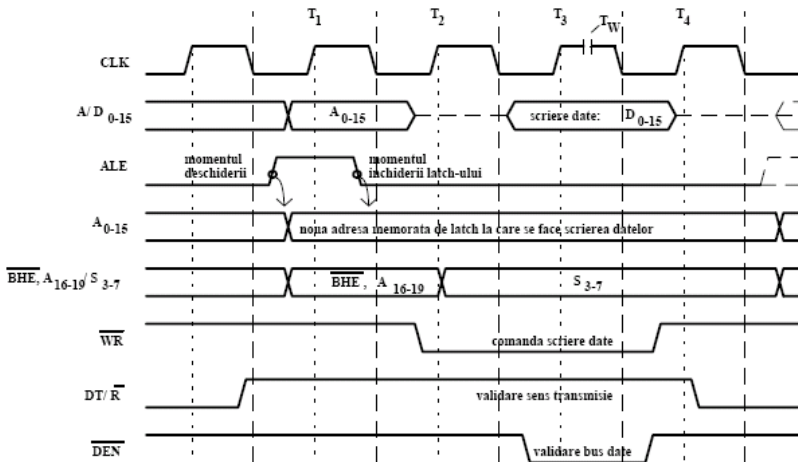
Un ciclu de magistrala (deci un acces în afara microprocesorului) are loc doar atunci când este cerut de EU pentru execuția unei instrucțiuni sau când BIU trebuie să realimenteze coada de instrucțiuni. Prin urmare, între ciclurile de magistrala ce corespund acestor situații vor exista perioade de ceas în care magistrala este neutilizată de microprocesor. Aceste perioade de ceas de inactivitate a microprocesorului pe magistrala se numesc *idle states* - *T1*.

Referindu-ne la figura 1.3, să observăm că 8086 plasează o adresă de 20 de biți pe magistrala multiplexată pe durata stării T1. Pe durata T2, această adresă este îndepărtată de pe magistrala pentru a permite trecerea celor mai puțin semnificative 16 linii fie în stare de înaltă impedanță pentru efectuarea unei operații de citire, fie în stare de ieșire a datei furnizate în cazul unei operații de scriere. În același timp, cele 4 linii A19/S6-A16/S3 ale magistralei își schimbă semnificativ din linii de adresă (AD19-AD16) în linii de stare (S6-S3) a ciclului de magistrala (S3 și S4 indică în care din cele 4 segmente de memorie este localizată datea ce intervine în transfer; S5 reflectă starea indicatorului de condiție IF; S6 = 0 indică faptul că 8086 este pe magistrala). Aceste linii se mențin și pe perioada T3 în care pe cele 16 linii D15-D0 fie este prezentă în continuare datea scrisă, fie este eșantionată (*strobata*) datea citită. Dacă nu se solicită de către echipamentul selectat inserarea unei stări TW, după T3 urmează T4 în care ciclul de magistrala se termină, liniile de control sunt dezactivate și magistrala trece în stare de înaltă impedanță.

Una din facilitățile oferite de 8086 este posibilitatea de a selecta hardware configurația de baza a mașinii prin simpla conectare la masa sau alimentare a pinului 33 ($\overline{MN}/\overline{MX}$), prin care se definește modul de lucru (vezi figura 1.4). Pentru a configura microprocesorul în modul minim, intrarea $\overline{MN}/\overline{MX}$ trebuie conectată la +5V. În acest mod de operare, microprocesorul este optimizat să funcționeze în sisteme mici, monoprosesor, generând



a) Ciclul de citire de pe magistrală (RD)



b) Ciclul de scriere pe magistrală (WR)

Figura 1.3

singur toate semnalele de control pe magistrala (DT/\overline{R} , \overline{DEN} , ALE , M/\overline{IO} , \overline{RD} , \overline{WR}) și, în plus, furnizând un mecanism pentru funcția de acceptare cerere de magistrala compatibil cu un echipament de tip DMA (exemplu: controlerul DMA *INTEL8257*). În figura 1.4 se prezintă un exemplu de sistem cu microprocesor 8086 funcționând în modul minim.

În microprocesorul 8086 liniile de adrese/date sunt multiplexate. Conform figurii 1.3, informația despre adrese/date este expusă pe magistrala pe durata a câteva stări T, ce este insuficient pentru schimbul normal cu memoria sau periferice. Pentru memorarea temporară a adreselor/datelor sunt folosite registre-buffere de tip latch (8282/8283, 8286/8287). Cu ajutorul acestor circuite se realizează magistrale separate de adrese și date (vezi figura 1.4).

Semnalul CLK, ce sincronizează funcționarea microprocesorului, este format de generatorul de ceas ce sincronizează și semnalele externe READY și RESET.

Fiecare ciclu de magistrala constă din patru stări T1, T2, T3 și T4, cu durata ce coincide cu perioada CLK. Dacă memoria sau perifericul nu sunt gata pentru transfer, între stările T3 și T4 se înserează stări TW (stări de așteptare a dispozitivului mai lent).

În perioada T1 pe liniile A/D, A/S, \overline{BHE}/S se expune adresa celulei de memorie cu care se petrece schimbul. Pe frontul descrescător al semnalului ALE, care este format în starea T1, adresa și semnalul \overline{BHE} sunt scrise în registre-buffere (vezi figura 1.3, 1.4).

În perioada T1 se formează și semnalul DT/\overline{R} , ce determină directă transferului de date prin registre-buffere ($DT/\overline{R}=0$, ciclul de citire-în buffere se scriu datele din memorie/periferic; $DT/\overline{R}=1$, ciclul de scriere-în buffere se scriu datele din microprocesor).

În perioada T2 semnalul \overline{DE} este setat în 0 ce semnaleză transferul datelor (interconectând magistralele de date locală, poziționată în figura 1.4 între microprocesor și registrele-buffer, și

de sistem (magistrala ce conectează registrele -buffer cu memoria și perifericele). În ciclul citire, în perioada T2 starea magistralei locale este trecută în stare de înaltă impedanță. Concomitent, microprocesorul setează

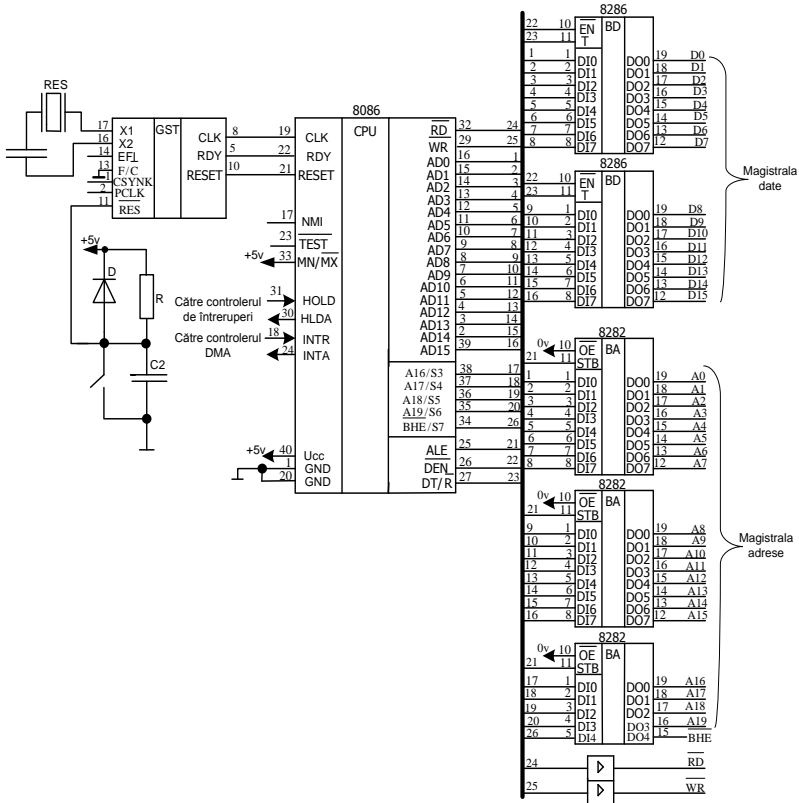


Figura 1.4 Configurația sistemului în mod minim

semnalul \overline{RD} în 0, ce este folosit ca semnal de citire pentru circuitele de memorie. Practic, recepția codului de microprocesor se petrece la începutul perioadei T4 pe frontul negativ al semnalului de ceas CLK.

În ciclul scriere, perioada T2, pe magistrala locală sunt expuse datele, care prin buffere ($DT/\overline{R}=1$) se transferă pe magistrala de sistem de date. Expunerea datelor este sincronizată

cu setarea semnalului \overline{WR} , ce este folosit ca semnal de scriere pentru circuitele de memorie. Datele și semnalul \overline{WR} sunt stabile până la sfârșitul perioadei T4.

Sincronizarea funcționării microprocesorului cu schemele lente de memorie sau cu dispozitivele de intrare/ieșire se petrece cu ajutorul semnalului RDY. Valoarea semnalului RDY se testează în perioada T2 al fiecărui ciclu. Dacă valoarea este 1, urmează stările T3 și T4 în mod obișnuit. Dacă nivelul este 0, după starea T3 se inserează stările de așteptare T_w , în care toate semnalele microprocesorului rămân neschimbate și numai când valoarea RDY=1, după T_w va urma starea T4 și ciclul se termina.

Spațiul de memorie de un megabyte este divizat fizic în două zone (numite *bank*) a câte 512 KB fiecare. Una din ele (*lower bank*) este asociată părții inferioare a magistralei de date (biții D₇–D₀), iar cealaltă (*upper bank*) este conectată pe biții cei mai semnificativi ai magistralei de date (D₁₅–D₈).

Tabelul 1.3 Mecanismul de transfer cu memoria

\overline{BHE}	A0	Octet transferat
0	0	Ambii octeți
0	1	Octetul high la/de la adresa impară
1	0	Octetul low la/de la adresa pară
1	1	Nici unul

Liniile de adresă A19-A1 se utilizează pentru a adresa o locație de un octet în mod simultan, atât în *lower bank* cât și în *upper bank*, în timp ce linia A0 nu se folosește pentru adresarea locației în cadrul unui *bank*, ci pentru selecția *bank*-ului. *Bank*-ul inferior, care conține octeți aflați la adrese pare, este selectat când A0=0. *Bank*-ul superior, conținând octeți situați la adrese impare, este selectat de semnalul \overline{BHE} (semnifica transferul unui octet pe liniile D15-D8), în condiția $\overline{BHE}=0$. Acest mecanism de selecție este ilustrat în tabelul 1.3 și în figura 1.5.

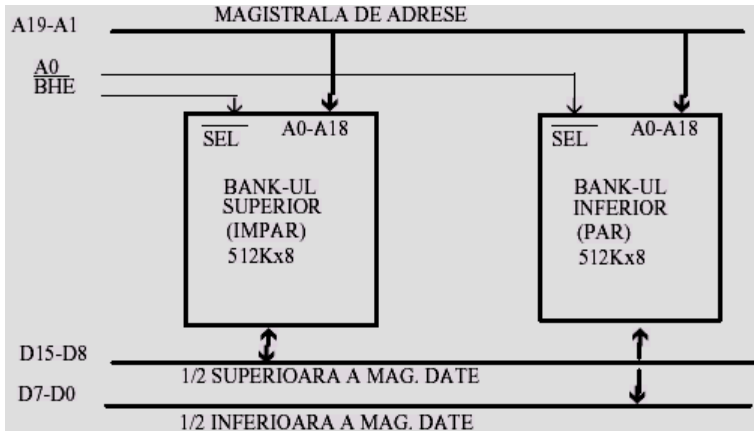


Figura 1.5 Selecția *bank*-urilor de memorie

Când se accesează un octet la o adresa para, acesta este transferat pe liniile inferioare ale magistralei, D7-D0. În această situație, nivelul activ al liniei de adresa A0 ($A0=0$) permite selecția locației aflate în *bank*-ul inferior; în același timp, nivelul inactiv al semnalului ($\overline{BHE}=1$) împiedică selecția locației aflate în *bank*-ul superior. În mod similar, când se accesează un octet la o adresa impară, acesta este transferat pe liniile superioare ale magistralei, D15-D8. Acum nivelul activ al lui \overline{BHE} ($\overline{BHE}=0$) permite selecția locației aflate în *bank*-ul superior, în timp ce nivelul inactiv al liniei de adresa A0 ($A0=1$) împiedică selecția *bank*-ului inferior. Așa cum se arată în tabelul 1.3, *8086* poate accesa o locație din *lower bank* simultan cu una din *upper bank* pentru a efectua transferul unei date de tip *word*. Când octetul *low* al cuvântului ce trebuie transferat se află la o adresa pară (deci se află în *lower bank*), cuvântul este aliniat și poate fi transferat într-un singur ciclu de magistrală. Liniile A19-A1 adresează locația corespunzătoare din ambele *bank*-uri, *bank*-uri care sunt amândouă selectate simultan, cel inferior prin $A0=0$ iar cel superior prin $\overline{BHE}=0$.

2 Conectarea memoriei de tip ROM și RAM la microprocesorul Intel 8086

2.1 Decodificarea adreselor memoriei principale și selectia circuitelor de memorie la microprocesorul Intel 8086

Memoria principala in sistemele cu microprocesor este realizata cu circuite de memorie (ROM, RAM), conectarea acestora facindu-se prin intermediul magistralelor de adrese, de control și de date.

Microprocesorul Intel 8086 are 16 linii (16 biti) pe magistrala de date și 20 linii (20biti) pe magistrala de adrese. Spatiul adreselor contine 2^{20} -elemente.

Organizarea memoriei ca o succesiune de octeti este utilizata din cauza ca octetul (byte-ul) reprezinta (si din considerente tehnologice) unitatea unanim acceptata de reprezentare a informatiei numerice. In acest caz accesul la memorie trebuie sa permita un transfer flexibil (pe octeti sau pe cuvinte de 16 biti). Formarea semnalului \overline{BHE} și transferurile cu memoria, pe byte sau cuvinte de 16 biți, este realizat de microprocesor în mod automat.

2.2 Exemplu de conectare a memoriei principale la microprocesorul Intel 8086

Conectarea memoriei principale la magistralele microprocesorului

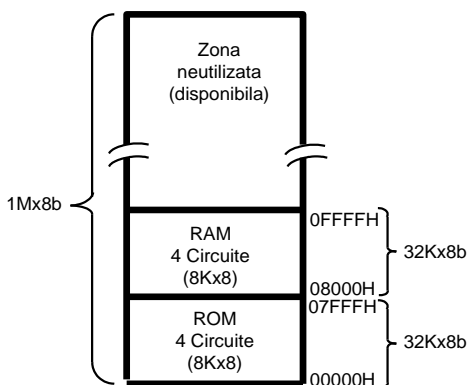


Figura 2.1 Exemplu de alocare a zonelor ROM și RAM ale memoriei principale

este exemplificata pentru cazul unui sistem cu microprocesorul Intel 8086 avand o "harta" (map) a memoriei principale ca in figura 2.1.

Schema structurală corespunzatoare este data in figura 2.2.

In exemplul considerat:

- Memoria ROM are capacitate de 32Kx8b (sau 16Kx16) și este realizata cu 4 circuite de memorie (circuitele D2, D3, D4 și D5) avind fiecare capacitate de memorare de 8Kx8b. Circuitul, de exemplu D2, are 13 intrări de adrese și 8 ieșiri de date. Numărul intrărilor de adrese determină cantitatea celulelor de memorare, în cazul dat 2^{13} și numărul ieșirilor de date- capacitatea (lărgimea) celulei de memorie pe biți, în cazul dat 8biți. Deci organizarea circuitului este 2^{13} de celule fiecare pe 8 biți sau 8Kx8biți.

- Memoria RAM are capacitate de 32Kx8b și este realizata cu 4 circuite de memorie avind fiecare capacitate de memorare de 8Kx8b (D6, D7, D8, D9).

Circuitele D2, D3 (respectiv D4 și D5, D6 și D7, D8 și D9) sunt grupate câte 2 pentru a ocupa lățimea magistralei de date (lower bank, upper bank). Aceste perechi de circuite formează blocuri de memorie- 2 de ROM (D2, D3 și D4, D5) și 2 de RAM (D6, D7 și D8, D9). Aceste 4 blocuri sunt conectate în paralel la magistrala de date. Aceasta impune activarea unui singur bloc la un moment dat pe magistrala de date. Activarea unui singur bloc la un moment dat și inactivarea celorlalte este asigurată de decodificatorul D1 cu ajutorul semnalelor sale DC1, DC2, DC3 și DC4. Blocurile inactivate prezintă impedanță înaltă la iesire. La intrările decodificatorului se conectează următoarele linii de adrese ce nu sunt folosite pentru adresarea circuitelor ce formează blocuri.

La citire din memorie, pe magistrala de date se va expune cuvântul (2 octeți), din care microprocesorul va alege octetul necesar și îl va scrie în registrul indicat de programul în execuție. Din această cauză, semnalele A0 și \overline{BHE} nu se conectează la ROM.

La scriere în memorie este necesar să selectăm octetul inferior (D6, D8) și octetul superior (D7, D9) de memorie RAM.

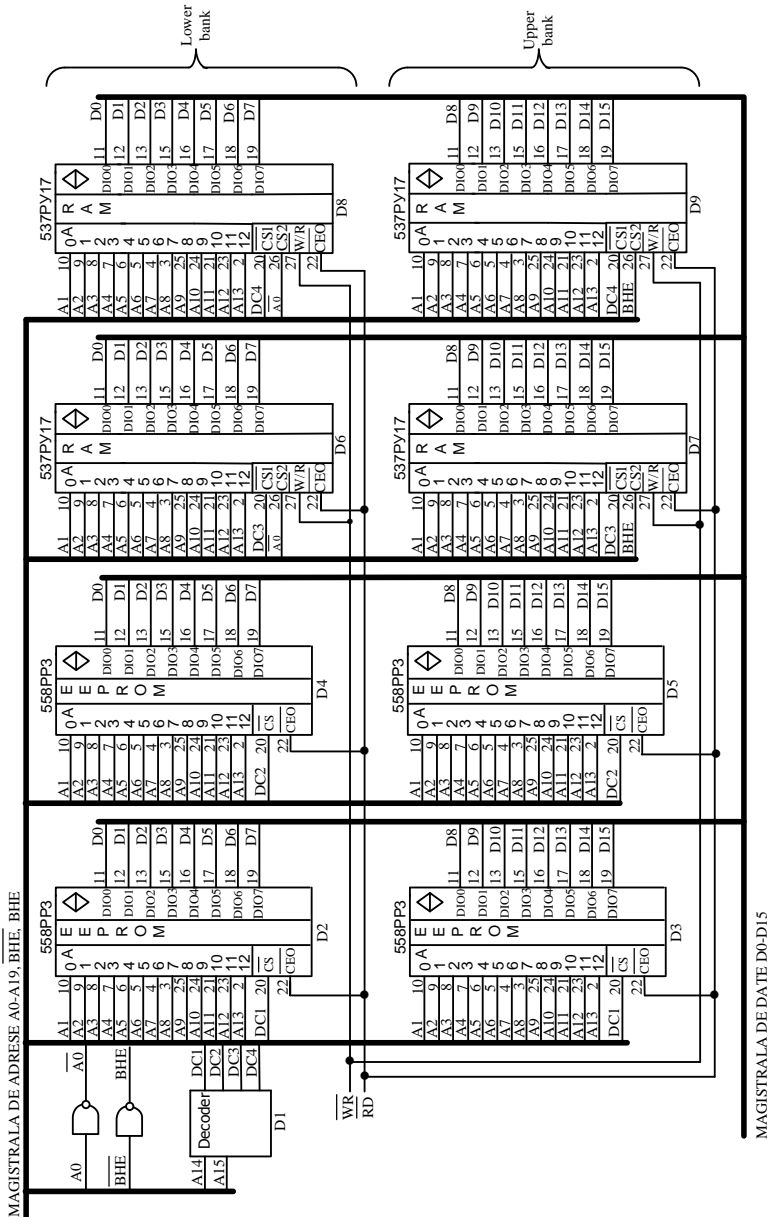


Figura 2.2 Exemplu de conectare a memoriei principale la microprocesorul Intel 8086

Pentru aceasta folosim semnalele A_0 și \overline{BHE} ce se conectează la intrarea de selecție CS2 a circuitelor D6, D8 și respectiv D7, D9 (vezi tab. 1.3). Semnalele A_0 și \overline{BHE} sunt inversate deoarece intrarea CS2 este activată pe „1” (vezi tabelul de adevăr a circuitului 537PY17 din anexă). La intrările $\overline{CE_0}$ și \overline{w}/R ale circuitelor de memorie se conectează semnalele de control \overline{RD} și \overline{WR} ale microprocesorului conform diagramelor din figura 1.3 și tabelurilor de adevăr ale circuitelor de memorie din figura 2.2 prezente în anexă.

Tabelul 2.1 reprezintă un tabel de decodificare a adreselor asociate schemei din figura 2.2, indicat a fi construit în etapa de proiectare a unor astfel de scheme. Biții A15A14 ai magistralei de adrese (intrări ale decodificatorului) selectează blocurile de memorie: „00”-ROM1, „01”-ROM2, „10”-RAM1, „11”-RAM2

Tabelul 2.1 - Tabelul de decodificare al memoriei ROM, RAM

A19-A16	A15A14A13A12	A11-A8	A7-A4	A3-A0	Adresele blocului	
0000	0000	0000	0000	0000	00000H-	ROM1
0000	0011	1111	1111	1111	03FFFH	
0000	0100	0000	0000	0000	04000H-	ROM2
0000	0111	1111	1111	1111	07FFFH	
0000	1000	0000	0000	0000	08000H-	RAM1
0000	1011	1111	1111	1111	0BFFFH	
0000	1100	0000	0000	0000	0C000H-	RAM2
0000	1111	1111	1111	1111	0FFFFH	

3 Generatorul de ceas și registre-buffere

3.1 Generatorul de ceas

Generatorul de ceas (8284) (figura 3.1) este destinat formării semnalelor de sincronizare a microprocesorului și a echipamentelor periferice (vezi [1]). Generatorul include scheme pentru formarea frecvenței (impulsurilor) de sincronizare CLK, semnalului de resetare RESET și a semnalului READY. În dependență de nivelul conectat la intrarea F/\bar{C} , semnalele pot fi formate din oscilațiile rezonatorului din cuarț, conectat la intrările X1, X2 ($F/\bar{C}=0$), sau de la un generator extern conectat la intrarea EFI (dacă $F/\bar{C}=1$).

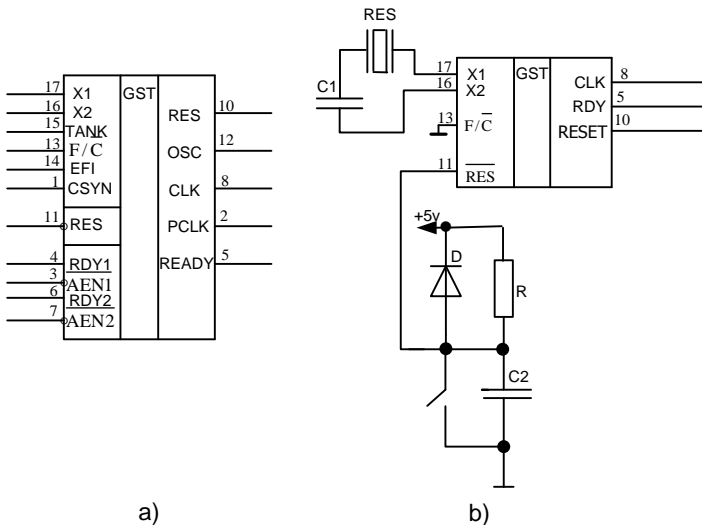


Figura 3.1 a – reprezentarea grafică a generatorului;
b – conectarea rezonatorului la generator

La intrarea $\overline{\text{RES}}$ se conectează o schemă din RC componente, ce asigură formarea semnalului la conectarea tensiunii de alimentare (vezi figura 3.1b).

3.2 Registre-buffere 8282, 8283

Destinația registrelor-buffere 8282, 8283 într-un sistem cu microprocesor i8086 este de a memora temporar adresele și de a amplifica semnalele de pe liniile de adrese/date ale microprocesorului în cazul unui număr mare de circuite conectate pe magistrala de adrese demultiplexată (figura 3.2).

Funcțiile pinilor:

- DI7-DI0 – linii intrări de date;
- DO7-DO0 – linii ieșiri de date;
- STB – semnal de validare, intrare;
- $\overline{\text{OE}}$ - activarea liniilor de ieșire, intrare;
- Ucc, GND – intrări de alimentare.

La trecerea semnalului din „1” în „0” pe intrarea STB, informația de pe liniile DI7-DI0 sunt memorate în buffer și se expun pe liniile DO7-DO0.

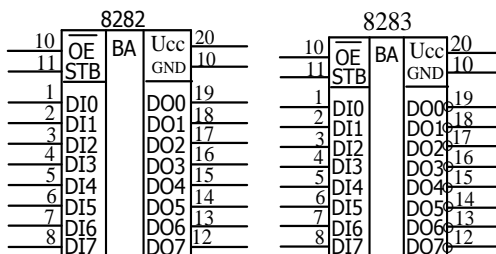


Figura 3.2 Reprezentarea grafică a registrelor-buffere 8282, 8283

Semnalul $\overline{\text{OE}}$ activează liniile de ieșire: când $\overline{\text{OE}}=0$ liniile de ieșire sunt în stare activă, $\overline{\text{OE}}=1$ - ieșirile în starea „z” (înaltă impedanță).

În circuitul 8283 ieșirile sunt inversate.

3.2 Registre-buffere 8286, 8287

Destinația registrelor-buffere 8286, 8287 într-un sistem cu microprocesor i8086 este de a memora temporar datele, de a amplifica semnalele și de a organiza o magistrală bidirecțională de date (figura 3.3).

Funcțiile pinilor:

- A7-A0 – linii intrări/ieșiri de date ($T/\bar{R}=1$ -intrări, $T/\bar{R}=0$ -ieșiri);
- B7-B0 – linii intrări/ieșiri de date ($T/\bar{R}=0$ -intrări, $T/\bar{R}=1$ -ieșiri);
- T/\bar{R} – semnal ce indică direcția transferului, intrare ($T/\bar{R}=1$ direcția $A \rightarrow B$, $T/\bar{R}=0$ direcția $B \rightarrow A$);

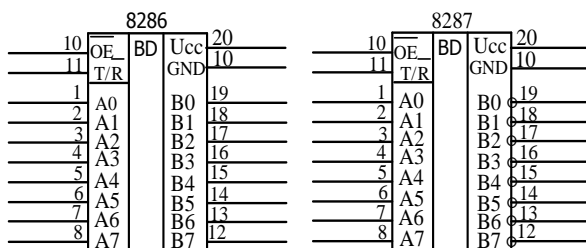


Figura 3.3 Reprezentarea grafică a registrelor-buffere 8286, 8287

- \overline{OE} - activarea liniilor de ieșire, intrare (Cînd $\overline{OE}=1$, ieșirile selectate de T/\bar{R} sunt trecute în starea „z”);
- Ucc, GND – intrări de alimentare.

În circuitul 8287 ieșirile sunt inversate.

Caracteristicile tehnice ale unor circuite de memorie:

a) de tip ROM:

Circuitul de memorie 558PP3

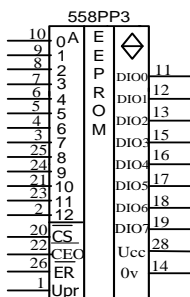


Figura A.1 – Reprezentare grafică

Tabelul A.1 - Funcțiile pinilor 558PP3

Numarul pinului	Funcție	Nume
2, 3-10, 21, 23, 24, 25	Address - Adrese intrări	A12 , A7 – A0, A10, A11, A9, A8
11-13, 15-19	Data Input/Output – Date intrare/ieșire	DIO0-DIO2 , DIO3-DIO7
20	Chip select – Selectarea circuitului	\overline{CS}
22	Chip Enable Output – Activare ieșiri date	\overline{CEO}
26	Erase- Ștergere, îndepărtarea informației scrise	\overline{ER}
28	Tensiunea de alimentare	U_{CC}
1	Tensiunea de programare	U_{PR}
14	Comun (masă)	0V

Tabelul A.2 - Tabelul de adevăr 558PP3

\overline{CS}	\overline{CEO}	\overline{ER}	U_{PR}	A0- A12	DIO0-DIO7	Mod funcționare
H	X	H	L	X	R_{off}	Păstrare
L	L	H	L	A	Date ieșiri	Citire
L	H	L	24V	X	R_{off}	Ștergere
L	L	H	24V	A	Date intrări	Scriere

H(high) - nivelul înalt al semnalului(1);

L(low) - nivelul jos al semnalului (0);

X - orice valoare;
 A - valoarea adresei curente;
 R_{off} – starea z (înalță impedanță).

Circuitul de memorie 573PΦ81A

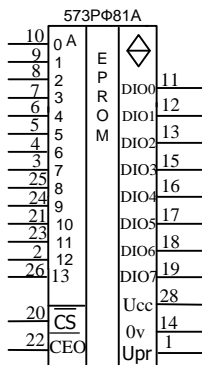


Figura A.2 – Reprezentare grafică

Tabelul A.3 - Funcțiile pinilor 573PΦ81A

Numarul pinului	Funcție	Nume
2,3-10, 21,23, 24, 25, 26, 27	Address - Adrese intrări	A ₁₂ , A ₇ -A ₀ , A ₁₀ , A ₁₁ , A ₉ , A ₈ , A ₁₃ , A ₁₄
11-13, 15-19	Data Input/Output - Date intrare/iesire	DIO ₀ -DIO ₂ , DIO ₃ -DIO ₇
20	Chip select – Selectarea circuitului	\overline{CS}
22	Chip Enable Output – Activare ieșiri date	\overline{CEO}
28	Tensiunea de alimentare	U _{CC}
1	Tensiunea de programare	U _{PR}
14	Comun (masă)	0 V

Tabelul A.4 - Tabelul de adevăr 573PΦ81A

\overline{CS}	\overline{CEO}	A ₀ -A ₁₃	U _{PR}	DIO ₀ -DIO ₇	Mod funcționare
H	X	X	U _{CC}	R _{off}	Păstrare
L	L	A	U _{CC}	Date ieșiri	Citire
L	H	A	18±0,5V	Date intrări	Sciere

Circuitul de memorie 573PΦ4A

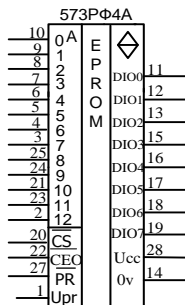


Figura A.3 – Reprezentare grafică

Tabelul A.5 - Funcțiile pinilor 573PΦ4A

Numarul pinului	Funcție	Nume
2, 3-10, 21, 23, 24, 25	Address - Adrese intrări	A12, A7-A0, A10, A11, A9, A8
11-13, 15-19	Data Input/Output – Date intrare/ieșire	DIO0-DIO2 , DIO3-DIO7
20	Chip select – Selectarea circuitului	\overline{CS}
22	Chip Enable Output – Activare ieșiri date	\overline{CEO}
27	Semnal programare	\overline{PR}
28	Tensiunea de alimentare	U_{CC}
1	Tensiunea de programare	U_{PR}
14	Comun (masă)	0V

Tabelul A.6 - Tabelul de adevăr 573PΦ4A

\overline{CS}	\overline{CEO}	\overline{PR}	A_0 - A_{12}	U_{PR}	DIO_0 - DIO_7	Mod funcționare
H	X	X	X	U_{CC}	R_{off}	Păstrare
L	L	H	A	U_{CC}	Date ieșiri	Citire
L	H	L	A	$21,5 \pm 0,5V$	Date intrari	Sciere

Circuitul de memorie 1609PP21A

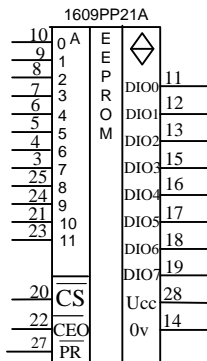


Figura A.4 – Reprezentare grafică

Tabelul A.7 - Funcțiile pinilor 1609PP21A

Numarul pinului	Funcție	Nume
2,3-10, 21,23, 24, 25	Address - Adrese intrări	$A_{12}, A_7-A_0,$ A_{10}, A_{11}, A_9, A_8
11-13, 15-19	Data Input/Output - Date intrare/iesire	$DIO_0-DIO_2,$ DIO_3-DIO_7
20	Chip select – Selectarea circuitului	\overline{CS}
22	Chip Enable Output – Activare ieșiri date	\overline{CEO}
27	Semnal programare	\overline{PR}
28	Tensiunea de alimentare, +5V	U_{CC1}
1	Tensiunea de alimentare, +21V	U_{CC2}
14	Comun (masă)	0 V

Tabelul A.8 - Tabelul de adevăr 1609PP21A

\overline{CS}	\overline{CEO}	\overline{PR}	A_0- A_{11}	DIO_0-DIO_7	Mod funcționare
H	X	X	X	R_{off}	Păstrare
L	L	H	A	Date ieșiri	Citire
L	H	L, impuls	A	Date intrări	Scriere

Circuitul de memorie 573PΦ8A

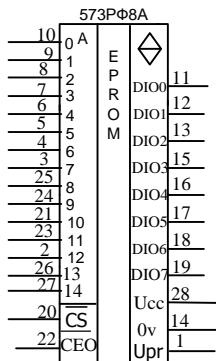


Figura A.5 – Reprezentare grafică

Tabelul A.9 - Funcțiile pinilor 573PΦ8A

Numarul pinului	Funcție	Nume
2,3-10, 21,23, 24, 25, 26, 27	Address - Adrese intrări	$A_{12}, A_7-A_0, A_{10}, A_{11}, A_9, A_8, A_{13}, A_{14}$
11-13, 15-19	Data Input/Output - Date intrare/iesire	$DIO_0-DIO_2,$ DIO_3-DIO_7
20	Chip select – Selectarea circuitului	\overline{CS}
22	Chip Enable Output – Activare ieșiri date	\overline{CEO}
28	Tensiunea de alimentare	U_{CC}
1	Tensiunea de programare	U_{PR}

Tabelul A.10 - Tabelul de adevăr 573PΦ8A

\overline{CS}	\overline{CEO}	A_0-A_{14}	U_{PR}	DIO_0-DIO_7	Mod funcționare
H	X	X	U_{CC}	R_{off}	Păstrare
L	L	A	U_{CC}	Date ieșiri	Citire
L	H	A	$18 \pm 0,5V$	Date intrări	Sciere

Circuitul de memorie 1801PE2A

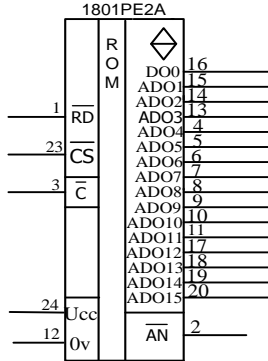



Figura A.6 – Reprezentare grafică

Tabelul A.11 - Funcțiile pinilor 1801PE2A

Numarul pinului	Funcție	Nume
4-11, 13-15, 17-20	Address Data Output- intrări-date ieșiri	ADrese ADO ₄ –ADO ₁₁ , ADO ₃ –ADO ₁ , ADO ₁₂ –ADO ₁₅
16	Data Output - Data ieșire	DO0
23	Chip select – Selectarea circuitului	\overline{CS}
1	Semnal de citire	\overline{RD}
3	Semnal validare	\overline{C}
2	Semnal de răspuns	\overline{AN}
24	Tensiunea de alimentare	U _{CC}
12	Comun (masă)	0V

Tabelul A.12 - Tabelul de adevăr 1801PE2A

\overline{CS}	\overline{C}	\overline{RD}	\overline{AN}	DO	ADO		Mod funcționare
					ADO1- ADO12	ADO13- ADO15	
H	X	X	H	R _{off}	R _{off}	R _{off}	Păstrare
X	H	X	H	R _{off}	R _{off}	R _{off}	Păstrare
L		H	H	X	A _D	A _C	Scrierea adresei

L	L	L	L	Date în cod direct	Citire
---	---	---	---	--------------------	--------

A_D – adresa datelor;
 A_C – adresa circuitului.

Organizarea acestui circuit este $2^{12} \times 16$ biți (4kx16). Pentru adresarea celulelor de memorie se folosesc numai A1-A12. Circuitul este activat când biții de adrese A13-A15 coincid cu codul interior al circuitului.

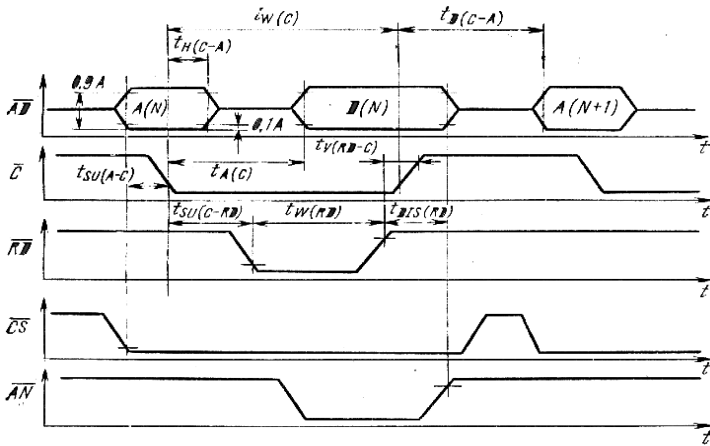


Figura A.7 Diagrama funcționării 1801PE2A: regim- citire

b) de tip RAM:

Circuitul de memorie 132PY6A

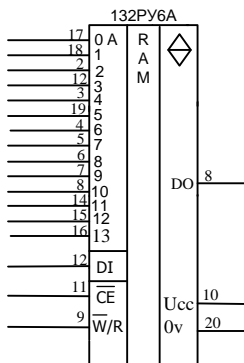


Figura A.8 – Reprezentare grafică

Tabelul A.13 - Funcțiile pinilor 132PY6A

Numărul pinului	Funcție	Nume
1-7	Address - Adrese intrări	A6 – A0, A7 – A13
13-19		
12	Data Input - Data intrare	DI
8	Data Output - Data ieșire	DO
11	Chip Enable – Activarea circuitului	\overline{CE}
9	Write/Read - Scriere/Citire	$\overline{W/R}$
20	Tensiunea de alimentare	U_{CC}
10	Comun (masă)	0V

Tabelul A.14 - Tabelul de adevăr 132PY6A

\overline{CS}	$\overline{W/R}$	A0-A13	DI	DO	Mod funcționare
H	X	X	X	Roff	Păstrare
L	L	A	L	Roff	Scriere 0
L	L	A	H	Roff	Scriere 1
L	H	A	X	Date în cod direct	Citire

Circuitul de memorie 132PY9A

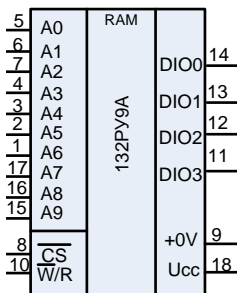


Figura A.9 – Reprezentare grafică

Tabelul A.15 - Funcțiile pinilor 132PY9A

Numărul pinului	Funcție	Nume
1-4, 5-7, 15-17	Address - Adrese intrări	$A_6 - A_3, A_0 - A_2, A_9 - A_7$
11 - 14	Data Input/Output - Date intrare/iesire	$DIO_3 - DIO_0$
8	Chip select -Selectarea circuitului	\overline{CS}
10	Write/Read - Scriere/Citire	$\overline{W/R}$
18	Tensiunea de alimentare	U_{CC}
9	Comun (masă)	0V

Tabelul A.16 - Tabelul de adevăr 132PY9A

\overline{CS}	$\overline{W/R}$	A0 - A9	DIO ₀ – DIO ₃	Mod funcționare
H	X	X	R _{off}	Păstrare
L	L	A	L	Scriere 0
L	L	A	H	Scriere 1
L	H	A	Date in cod direct	Citire

Circuitul de memorie 132PY10A

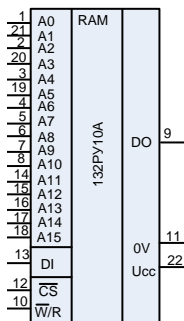


Figura A.10 – Reprezentare grafică

Tabelul A.17 - Funcțiile pinilor 132PY10A

Numărul pinului	Funcție	Nume
1, 2, 3, 4-8, 14-18,19, 20, 21	Address - Adrese intrări	$A_0, A_2, A_4, A_6 - A_{10},$ $A_{11}-A_{15}, A_5, A_3, A_1$
13	Data Input - Data intrare	DI
9	Data Output - Data ieșire	DO
12	Chip select –Selectarea circuitului	\overline{CS}
10	Write/Read - Scriere/Citire	$\overline{W/R}$
22	Tensiunea de alimentare	U_{CC}
11	Comun (masă)	0V

Tabelul A.18 - Tabelul de adevăr al circuitului 132PY10A

\overline{CS}	$\overline{W/R}$	A_0-A_{15}	DI	DO	Mod funcționare
H	X	X	X	R_{off}	Păstrare
L	L	A	L	R_{off}	Scriere 0
L	L	A	H	R_{off}	Scriere 1
L	H	A	X	Date în cod direct	Citire

Circuitul de memorie 537PY4A

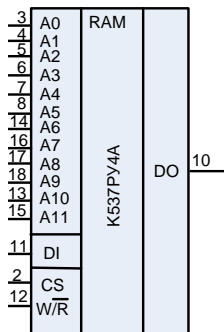


Figura A.11 – Reprezentare grafică

Tabelul A.19 - Funcțiile pinilor 537PY4A

Numărul pinului	Funcție	Nume
3-8, 13, 14, 15, 16-18	Address - Adrese intrări	A ₀ -A ₅ , A ₁₀ , A ₆ , A ₁₁ , A ₇ - A ₉
11	Data Input - Data intrare	DI
10	Data Output - Data ieșire	DO
2	Chip select - Selectarea circuitului	CS
12	Write/Read - Scriere/Citire	W/ \bar{R}
9	Tensiunea de alimentare	U _{CC}
1	Comun (masă)	0V

Tabelul A.20 - Tabelul de adevăr 537PY4A

CS	W/ \bar{R}	A0 - A11	DI	DO	Mod funcționare
L	X	X	X	R _{off}	Păstrare
H	H	A	L	R _{off}	Scriere 0
H	H	A	H	R _{off}	Scriere 1
H	L	A	X	Date în cod direct	Citire

Circuitul de memorie 537PY10A

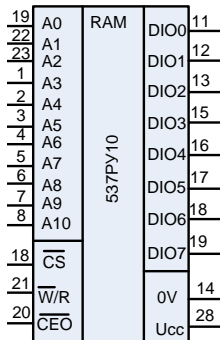


Figura A.12 – Reprezentare grafică

Tabelul A.21 - Funcțiile pinilor 537PY10A

Numarul pinului	Funcție	Nume
1-8, 19, 22, 23	Address - Adrese intrări	A ₃ -A ₁₀ , A ₀ , A ₁ , A ₂
9-11, 13-17	Data Input/Output - Date intrare/iesire	DIO ₀ -DIO ₂ , DIO ₃ -DIO ₇
18	Chip select - Selectarea circuitului	\overline{CS}
20	Chip Enable Output – Activare ieșiri date	\overline{CEO}
21	Write/Read - Scriere/Citire	$\overline{W/R}$
24	Tensiunea de alimentare	U _{CC}
12	Comun (masă)	0 V

Tabelul A.22 - Tabelul de adevăr 537PY10A

\overline{CS}	\overline{CEO}	$\overline{W/R}$	A0-A10	DIO0 - DIO7	Mod funcționare
H	X	X	X	R _{off}	Păstrare
L	X	L	A	L	Scriere 0
L	X	L	A	H	Scriere 1
L	L	H	A	Date în cod direct	Citire
L	H	H	A	R _{off}	Păstrare

Circuitul de memorie 537PY17

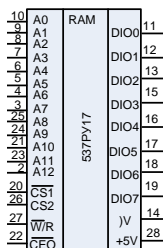


Figura A.13 – Reprezentare grafică

Tabelul A.23 - Funcțiile pinilor 537PY17

Numarul pinului	Funcție	Nume
2, 3-10, 21, 23, 24, 25	Address - Adrese intrări	A12, A7-A0, A10, A11, A9, A8
11-13, 15-19	Data Input/Output - Date intrare/iesire	DIO ₀ – DIO ₂ , DIO ₃ – DIO ₇
20, 26	Chip select – Selectarea circuitului	$\overline{CS1}$, CS2
22	Chip Enable Output – Activare ieșiri date	$\overline{CE0}$
27	Write/Read - Scriere/Citire	$\overline{W/R}$
28	Tensiunea de alimentare	U _{CC}
14	Comun (masă)	0V

Tabelul A.24 - Tabelul de adevăr 537PY17

$\overline{CS1}$	CS2	$\overline{CE0}$	$\overline{W/R}$	A0 - A12	DIO0 - DIO7	Mod funcționare
M	M	X	X	X	R _{off}	Păstrare
L	H	X	L	A	L	Scriere 0
L	H	X	L	A	H	Scriere 1
L	H	L	H	A	Date în cod direct	Citire
L	H	H	H	A	R _{off}	Păstrare

M – orice valoare, excluzând L, H.

BIBLIOGRAFIE

1. Микропроцессорный комплект К1810, редакция Ю. Казаринов, Москва, «Высшая школа», 1990
2. Большие интегральные схемы запоминающих устройств, редакция А. Гордонов, Москва, «Радио и связь», 1990